

修 士 論 文 の 和 文 要 旨

大学院	電気通信学研究科	博士前期課程	電子工学専攻
氏 名	荒井 和明	学籍番号 0632001	
論 文 題 目	壁電荷蓄積ランプパルスと自己消去放電を用いたPDPの低データ電圧駆動に関する研究		
要 旨			
<p>プラズマディスプレイパネル(PDP)は、放電を利用するために駆動電圧が高く、それによりドライバICコストが高くなるという問題がある。特に、ドライバ数の多いデータ電圧は回路コストに大きく影響する。データ電圧低減に対し、自己消去放電をアドレスに利用する方法が提案され、データ電圧を1Vまで低減している。しかし、この結果は1セルにおいての測定であり、アドレススピードが$2\mu\text{s}$と遅い、消去アドレスマージンが狭いなどの問題があった。そこで本研究では、低電圧でかつ動作マージンの広いアドレス動作の実現を目的に、壁電荷蓄積部とランプ部からなる壁電荷蓄積ランプパルスを導入し、それで発生する自己消去放電を走査に利用する駆動方式を考案した。</p> <p>壁電荷蓄積部において250V程度と高い電圧を印加することにより十分な壁電荷を蓄積すると、ランプ部において弱い自己消去放電(放電1)が発生する。この放電1がアドレス放電にプライミング粒子を供給し、電圧の低減およびアドレススピードを向上させる。次にアドレス直前に壁電荷蓄積ランプパルスの電圧を0Vにすることにより、残りの壁電荷で弱い自己消去放電(放電2)を起こす。この放電2をアドレス放電の半選択として利用する。また、走査ラインごとにランプ部の幅は固定したまま壁電荷蓄積ランプパルスの幅を長くすることで印加電圧停止つまり放電2の発生するタイミングをずらして走査する。</p> <p>壁電荷蓄積ランプパルスの電圧$V_{\text{accumulate}}$や幅$\tau_{\text{acc-ramp}}$と放電1、放電2の関係を調べると、$V_{\text{accumulate}}$により放電1の発生するタイミングを制御できることがわかった。また壁電荷蓄積部の幅を長くし、印加時の放電によるプライミング効果が少ない状態においても、放電1によりプライミング粒子が供給されるため、放電2の立ち上がりが一定となることが確かめられた。</p> <p>2走査ライン × 64放電セルのデータ電圧マージンを測定した結果、$V_{\text{accumulate}}$が250V、データパルスの幅$1\mu\text{s}$のとき$\tau_{\text{acc-ramp}}$が$252\mu\text{s}$においても4.3Vのマージンを得ることができた。また、アドレス可能なデータ電圧の下限も$\tau_{\text{acc-ramp}}$が$60\mu\text{s}$から$300\mu\text{s}$の間で10V程度の低い値で一定にすることができた。XGAの走査を想定しグループ分割方式を採用すると、グループ数が4のときデータ電圧9.7Vで、4.3Vのデータ電圧マージンを得ることができる。発光デューティは77%となる。</p>			